

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269462

(P2000-269462A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.

識別記号

F I

ページ (参考)

H 0 1 L 27/108  
21/8242  
27/04  
21/822

H 0 1 L 27/10  
27/04

6 2 5 A 5 F 0 3 8  
C 5 F 0 8 3

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平11-75080

(22) 出願日

平成11年3月19日 (1999.3.19)

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

佐藤 力

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者

水島 一郎

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人

100058479

弁理士 鈴江 武彦 (外6名)

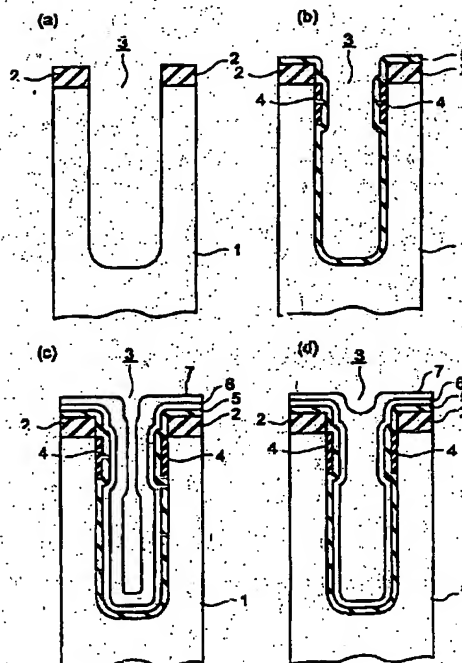
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 深いトレンチ内に良好な埋込み形状のノード電極を形成すること。

【解決手段】 シリコン基板1に深いトレンチ3を形成し、次にトレンチ3を閉塞しないようにトレンチ3内面を多結晶シリコン薄膜 (ライナー膜) 6で被覆し、次にトレンチ3を閉塞しないように多結晶シリコン薄膜6上にシリコンゲルマニウム膜 (ノード電極) 7を形成し、次にシリコンゲルマニウム膜7に熱処理を施すことによって、トレンチ3を充填するように、シリコンゲルマニウム膜7のみを流動させる。



【特許請求の範囲】

【請求項1】シリコン基板にトレンチを形成する工程と、

前記トレンチを閉塞しないように、前記トレンチの内面をライナー膜としての多結晶シリコン薄膜で被覆する工程と、

前記トレンチを閉塞しないように、前記多結晶シリコン薄膜上にシリコンよりも融点の低い材料からなるノード電極としての導電性膜を形成する工程と、

前記導電性膜に熱処理を施すことによって、前記トレンチを充填するように前記導電性膜を流動させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記材料は、シリコンゲルマニウムまたはゲルマニウムであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記熱処理の温度は、前記導電性膜を形成する温度よりも高いことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記熱処理の圧力を前記導電性膜を形成する圧力よりも高くし、かつ前記導電性膜の形成時および熱処理時における雰囲気中の酸素分圧および水蒸気分圧を低くすることによって、前記導電性膜の表面に酸化膜が実質的に存在しない状態にすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記熱処理時における雰囲気は、水素雰囲気または不活性ガス雰囲気であることを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチキャパシタの形成工程を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】DRAMに代表される半導体集積回路の高集積化・微細化に伴い、素子面積は世代毎に縮小されている。メモセルが1つのトランジスタと1つのキャパシタで構成されたDRAMにおいて、素子面積の縮小化は、情報を記憶するキャパシタの面積の縮小を招き、情報の記憶機能を損なうことになる。

【0003】そこで、DRAMでは、高集積化・微細化によって情報記憶機能が損なわれないように、十分なキャパシタ容量を確保するための様々な工夫がなされ、例えば立体構造のキャパシタの採用があげられる。

【0004】この種のキャパシタの一つとしてトレンチキャパシタが知られている。トレンチキャパシタにおいて重要なことは、深いトレンチをボイドや亀裂（シーム）を招くことなく埋め込むことである。図3は、このような目的のために提案された従来のトレンチキャパシタの製造方法を示す工程断面図である（特開平10-56154号公報）。

【0005】この従来方法では、まず図3（a）に示すように、シリコン基板81上にマスクパターン82を形成し、これをマスクにしてシリコン基板81をRIE法にてエッチングし、シリコン基板81に深いトレンチ83を形成する。マスクパターン82としては、例えばシリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層膜が用いられる。

【0006】次に図3（b）に示すように、カラー絶縁膜84を形成した後、キャパシタ絶縁膜85を全面に堆積する。カラー絶縁膜84は以下のようにして形成する。

【0007】まず、トレンチ83の内面を熱酸化して薄い酸化膜（不図示）を形成する。次にLPCVD法により厚さ10nm程度のシリコン窒化膜（不図示）を全面に堆積した後、トレンチ83内を充填するようにレジスト（不図示）を塗布する。次にトレンチ上部のレジストを露光し、現像する。この結果、トレンチ上部の内壁は露出する。次にCDE法によりトレンチ上部のシリコン窒化膜/シリコン酸化膜を除去した後、レジストを剥離する。次にトレンチ底部のシリコン窒化膜をマスクにして、トレンチ上部の側面のみを熱酸化してカラー酸化膜84を形成する。次にHF/グリセロールを用いてトレンチ下部のシリコン窒化膜を剥離する。最後に、トレンチ下部のシリコン酸化膜を除去する。

【0008】次に図3（c）に示すように、トレンチ83を閉塞しないように、多結晶シリコン薄膜86、リン等の不純物を含むアモルファスシリコン膜87を全面に順次堆積する。ライナー膜86の膜厚は、例えば20nmである。多結晶シリコン薄膜86はライナー膜として、アモルファスシリコン膜87はノード電極として用いられる。

【0009】最後に、図3（d）に示すように、アモルファスシリコン膜87に熱処理を施すことによって、トレンチ83を充填するように、アモルファスシリコン膜87を流動させる。

【0010】この方法は、アモルファスシリコンが多結晶シリコンよりも移動しやすいことを利用することによって、深いトレンチ83をボイドや亀裂を招くことなくアモルファスシリコン膜87で充填しようとするものである。

【0011】しかしながら、本発明者らの研究によれば、この方法には以下のような問題があることが明らかになった。

【0012】すなわち、図3（d）の熱処理工程で、アモルファスシリコン膜87が多結晶化することによって、この多結晶化したアモルファスシリコン膜87と多結晶シリコン薄膜86とが一体となって流動し、その結果として、図4に示すように、トレンチ83内に空隙8<sub>81</sub>～8<sub>84</sub>が生じてしまうことが明らかになった。

【0013】この種の空隙8<sub>81</sub>～8<sub>84</sub>は、アモルフ

アモルファスシリコン膜87の抵抗(ノード抵抗)を増加させるという問題を招く。さらに、図に示すようなトレンチ83上部に生じた空隙88は、アモルファスシリコン膜87の上部を残りの部分と分断するように作用するため、アモルファスシリコン膜87の全体には所定レベルの電圧が印加されず、蓄積電荷が減少するという問題を招く。

【0014】

【発明が解決しようとする課題】上述の如く、従来のトレンチキャパシタの製造方法では、深いトレンチをボイドや亀裂を招くことなく埋め込むために、トレンチ内壁を多結晶シリコン薄膜(ライナー膜)で被覆してからアモルファスシリコン膜(ノード電極)を堆積し、このアモルファスシリコン膜に熱処理を施すことによって、トレンチを埋め込むという方法が提案されている。

【0015】しかしながら、実際には、熱処理によってアモルファスシリコン膜が多結晶化し、この多結晶化したアモルファスシリコン膜と多結晶シリコン薄膜とが一体となって流動し、その結果としてトレンチ内に空隙が生じるという問題があった。

【0016】本発明は、上記事情を考慮してなされたもので、その目的とするところは、深いトレンチ内に良好な埋込み形状のノード電極を形成することのできる半導体装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】【構成】上記目的を達成するために、本発明(請求項1)に係る半導体装置の製造方法は、シリコン基板にトレンチを形成する工程と、前記トレンチを閉塞しないように、前記トレンチの内面をライナー膜としての多結晶シリコン薄膜で被覆する工程と、前記トレンチを閉塞しないように、前記ライナー膜上にシリコンよりも融点の低い材料からなるノード電極としての導電性膜を形成する工程と、前記導電性膜に熱処理を施すことによって、前記トレンチを充填するように前記導電性膜を流動させる工程とを有することを特徴する。

【0018】ここで、熱処理時の圧力は、導電性膜の成膜時の圧力よりも高いことが好ましい。さらに、導電性膜の表面に酸化膜が存在しない状態で、導電性膜に熱処理を施すことが好ましい。

【0019】【作用】本発明によれば、ノード電極として多結晶シリコン薄膜(ライナー膜)よりも融点の低い導電性膜を用いることにより、熱処理により導電性膜を流動させ、深いトレンチ内を埋め込む工程(リフロー工程)の際に、多結晶シリコン薄膜と導電性膜とが一体となって流動することを防止できるので、深いトレンチ内に良好な埋込み形状のノード電極を形成することができる。

【0020】

【発明の実施の形態】以下、図面を参照しながら本発明

の実施の形態(以下、実施形態という)を説明する。

【0021】図1は、本発明の一実施形態に係るトレンチキャパシタの製造方法を示す工程断面図である。

【0022】まず、図1(a)に示すように、シリコン基板1上にマスクパターン2を形成し、これをマスクにしてシリコン基板1をRIE法にてエッチングし、シリコン基板1に深いトレンチ3を形成する。

【0023】マスクパターン2としては、例えばシリコン酸化膜/シリコン窒化膜/シリコン酸化膜との積層膜が用いられる。また、トレンチ3の深さは例えば6 $\mu$ m、トレンチ3のアスペクト比は10以上である。

【0024】次に図1(b)に示すように、カラー絶縁膜4を周知の方法に従って形成した後、キャパシタ絶縁膜5を全面に堆積する。カラー絶縁膜4としては、シリコン酸化膜またはシリコン窒化膜を用いる。

【0025】次に図1(c)に示すように、トレンチ3を閉塞しないように、ライナー膜としての多結晶シリコン薄膜6を全面に堆積する。多結晶シリコン薄膜6の膜厚は例えば20nmである。また、成膜方法としては、被覆性の良いCVD法であるLPCVD法を用いると良い。

【0026】また、多結晶シリコン薄膜6の成膜条件は次の通りである。すなわち、温度を600℃、圧力を0.3 Torrに設定し、原料ガスにはシラン(SiH<sub>4</sub>)を用いる。

【0027】この後、同図(c)に示すように、トレンチ3を閉塞しないように、多結晶シリコン薄膜6上にノード電極としてのリン、砒素またはボロンを含むシリコンゲルマニウム膜7を例えばLPCVD法にて堆積する。シリコンゲルマニウム膜7はアモルファスであることが好ましいが、多結晶でも問題はない。

【0028】次に図1(d)に示すように、シリコンゲルマニウム膜7に熱処理を施すことによって、トレンチ3を充填するように、シリコンゲルマニウム膜7を流動させる。

【0029】ここで、シリコンゲルマニウム膜7を効果的に流動させるために、熱処理時の温度および圧力は、シリコンゲルマニウム膜7の成膜時のそれらよりも高くする。具体的には次の通りである。すなわち、熱処理時の温度は750~950℃であり、シリコンゲルマニウム膜7の成膜時の温度は550~650℃である。なお、温度または圧力を高くしてもシリコンゲルマニウム膜7を流動させることはできる。

【0030】また、シリコンゲルマニウム膜7をより効果的に流動させるためには、上記温度、圧力の条件のもとで、シリコンゲルマニウム膜7の表面に酸化膜が実質的に存在しない状態で熱処理を行うと良い。そのためには、酸素および水蒸気の影響を十分に小さくすることが重要である。したがって、熱処理時の雰囲気としては、例えば酸素雰囲気のように還元作用のある雰囲気、また

は熱処理時の酸素分圧および水蒸気分圧が十分に低い $A_r$ 等の不活性ガス雰囲気が好ましい。水蒸気分圧( $P_{H_2O}$ )は水素分圧( $P_{H_2}$ )に対して $10^{-10}$  ( $=P_{H_2O}/P_{H_2}$ )以下であることが好ましい。 $P_{H_2O}$ が小さいほど、すなわち  $P_{H_2O}/P_{H_2}$  が大きいほど酸化されにくい。

【0031】図2に、 $Si_xGe_{1-x}$  ( $0 \leq x \leq 1$ )の融点のシリコン比率の依存性を示す(H. Stohr and W. Kl emm, Z. anorg. Chem.,  $P_{H_2O}$  vol24,  $P_{H_2O}$  1939,  $P_{H_2O}$  p305-323)。なお、Stohr中のoの上には実際にはウムラルトがつくが、電子出願では使用できない文字なので省略してある。

【0032】図に示すように、シリコン( $x=1$ )の融点は $1412^\circ C$ 、ゲルマニウム( $x=0$ )の融点は $940^\circ C$ 、そしてシリコンゲルマニウム( $x \neq 0, 1$ )の融点はこれらの融点である。そのため、シリコンゲルマニウム膜はシリコン膜よりも低い温度の熱処理で流動させることができる。

【0033】したがって、図1(d)の熱処理工程においては、多結晶シリコン薄膜6はシリコンゲルマニウム膜7に対して適切なライナー膜として働き、シリコンゲルマニウム膜7のみを流動させることができるようになる。その結果、トレンチ3内をボイド、亀裂(シーム)および図4に示したような空隙 $8_1 \sim 8_4$ を招くことなく埋め込むことができる。

【0034】かくして本実施形態によれば、深いトレンチ3内の内壁を多結晶シリコン薄膜6で被覆してから、シリコンゲルマニウム膜7を堆積し、このシリコンゲルマニウム膜7に熱処理を施すことによって、深いトレンチ3内をボイド、亀裂(シーム)および空隙を招くことなく埋め込むことができ、もってノード抵抗の増加や蓄積電荷の減少を抑制できるようになる。

【0035】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態ではトレンチの開口径が一樣として説明したが、先細りのトレンチまたは先太りのトレンチの場合でも本発明は有効である。なお、先太りのトレンチはキャパシタ容量をより稼げるといふ利点がある。また、カラー絶縁膜が無いキャパシタに対しても本発明は有効である。

【0036】また、上記実施形態ではトレンチキャパシ

タ単体の場合について説明したが、本発明は特に深くてアスペクト比の高いトレンチを有するトレンチキャパシタ、具体的にはDRAMのメモリセルを構成するトレンチキャパシタに有効である。

【0037】また、上記実施形態ではシリコンゲルマニウム膜を用いたが、ゲルマニウム膜を用いても同様な効果が得られる。要は、ライナー膜である多結晶シリコン薄膜よりも融点の低い導電性膜をノード電極として使用すれば良い。

【0038】また、上実施形態ではシリコンゲルマニウム膜の堆積およびその熱処理を1回しか行わなかったが、これらの堆積および熱処理を繰り返すことによってトレンチ内を埋め込んでも良い。

【0039】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0040】

【発明の効果】以上詳説したように本発明によれば、ノード電極として多結晶シリコン薄膜(ライナー膜)よりも融点の低い導電性膜を用いることにより、熱処理により導電性膜を流動させ、深いトレンチ内を埋め込む工程の際に、多結晶シリコン薄膜と導電性膜とが一体となって流動することを防止できるので、深いトレンチ内に良好な埋込み形状のノード電極を形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るトレンチキャパシタの製造方法を示す工程断面図

【図2】 $Si_xGe_{1-x}$  ( $0 \leq x \leq 1$ )の融点のシリコン比率の依存性を示す図

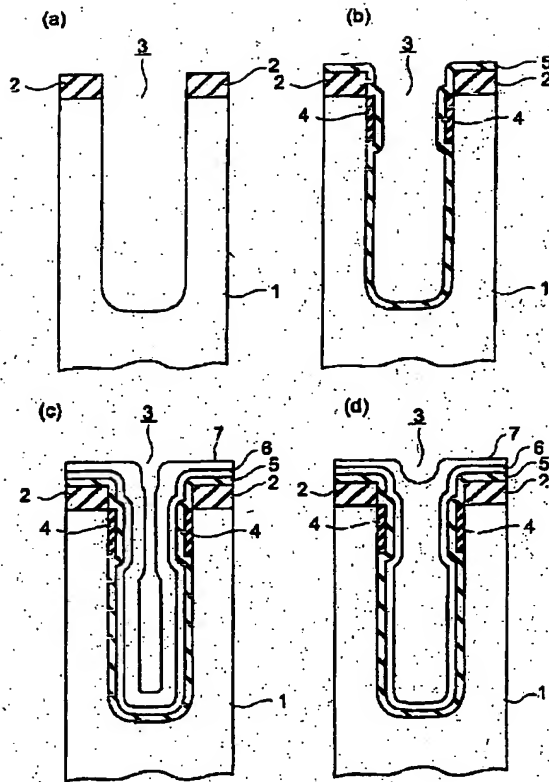
【図3】従来のトレンチキャパシタの製造方法を示す工程断面図

【図4】従来のトレンチキャパシタの製造方法の問題点を説明するための断面図

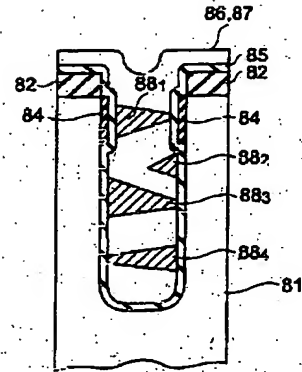
【符号の説明】

- 1…シリコン基板
- 2…マスクパターン
- 3…トレンチ
- 4…カラー絶縁膜
- 5…キャパシタ絶縁膜
- 6…多結晶シリコン薄膜(ライナー膜)
- 7…シリコンゲルマニウム膜(ノード電極)

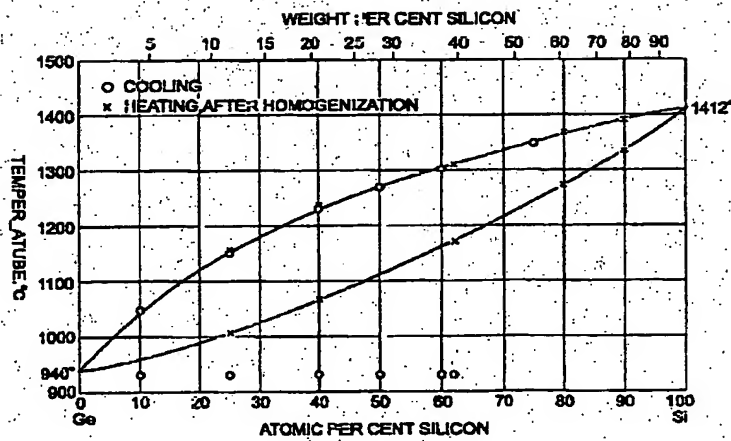
【図1】



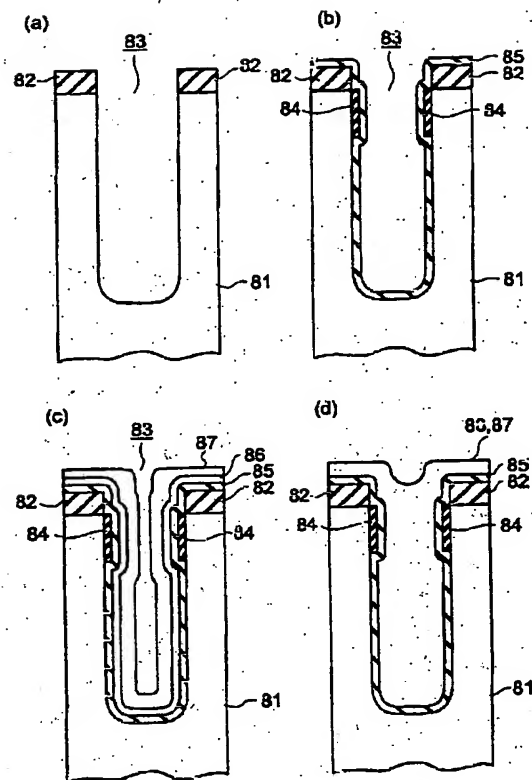
【図4】



【図2】



【図3】



フロントページの続き

(72)発明者 網島 祥隆  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

Fターム(参考) 5F038 AC05 AC10 AC16 DF05 EZ17  
5F083 AD16 GA27 GA30 JA02 JA19  
JA31 JA32 JA47 PR03 PR21  
PR33

3

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000269462 A**

(43) Date of publication of application: **29.09.00**

(51) Int. Cl. **H01L 27/108**  
**H01L 21/8242**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **11075080**  
 (22) Date of filing: **19.03.99**

(71) Applicant: **TOSHIBA CORP.**  
 (72) Inventor: **SATO TSUTOMU**  
**MIZUSHIMA ICHIRO**  
**TSUNASHIMA YOSHITAKA**

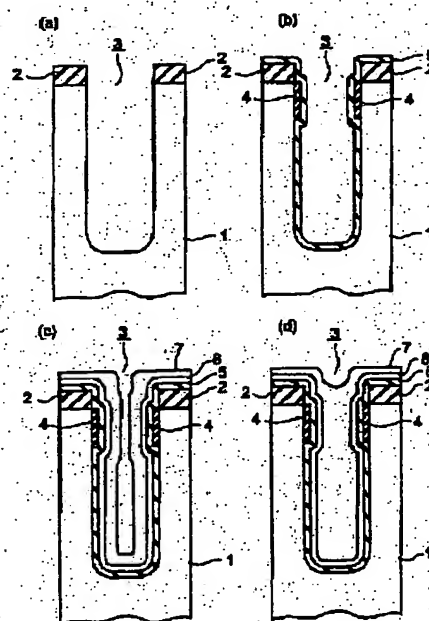
(54) **SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

(57) Abstract:

PROBLEM TO BE SOLVED: To enable formation of a satisfactory embedded type node electrode in a deep trench.

SOLUTION: In this manufacturing method, a deep trench 3 is formed in a silicon substrate 1, and the internal surface of the trench 3 is covered with a polycrystalline silicon thin film (liner film) 6, so as not to blockade the trench 3. A silicon germanium film (node electrode) 7 is formed on the polycrystalline silicon thin film 6 not to blockade the trench 3, by heat-treating the silicon germanium film 7, only the film 7 is fluidized so as to fill the trench 3.

COPYRIGHT: (C)2000,JPO



Docket # 02001,0273D

Applic. # 101780,075

Applicant: Goddard et al.

Lerner Greenberg Sterner LLP  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100 Fax: (954) 925-1101